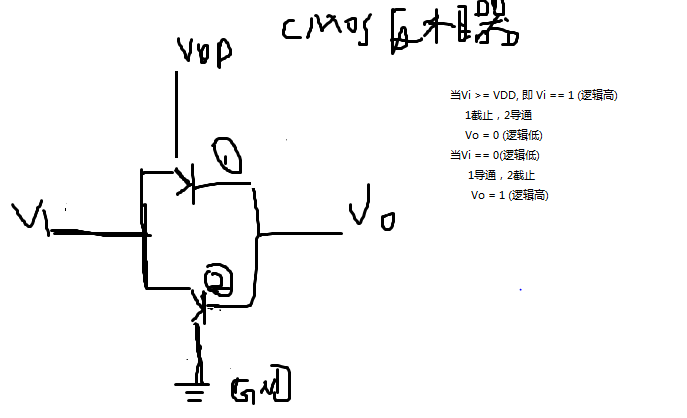
Title: 锁存器、触发器、寄存器

Time: 2016-2-17 15:50:43

1、**反相器**是数字电路核心：让输入的逻辑1变0，逻辑0变1

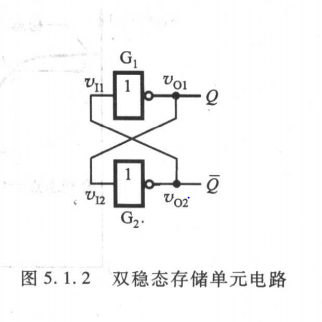
Vin = ~Vout

原理就是利用P、N三极管的导电特性（具体自行百度，此处不是重点）。COMS反相器如下图。



2、利用两个反相器的交叉耦合构成双稳态存储单元电路：电路输出自行保持在某个逻辑状态（1或者1）

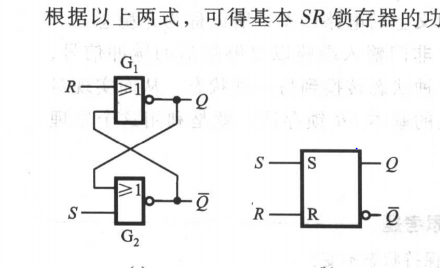
G1、G2：两个非门



3、在双稳态存储单元电路的G1、G2（**非门换成或非门**）加入S、R两个输入端，构成SR锁存器：根据输入电平，将输出电平锁定在一个稳定的逻辑状态（1或者0）。下面是SR锁存器的逻辑电路。

S=SET R=RESET

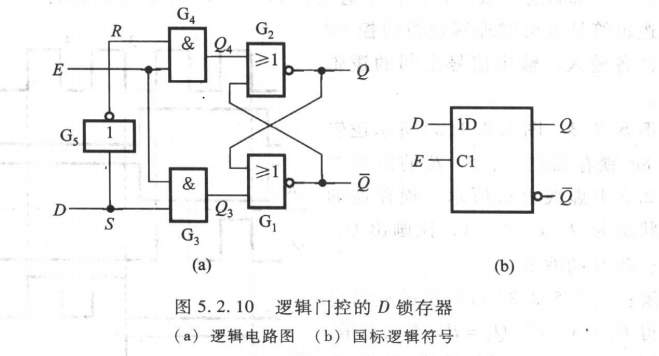
G1、G2：或非门



4、D锁存器：将S、R输入端连接一个非门，保证S、R端不同时为1（**同时为1会导致输出端状态不确定，具体解释看《电子技术基础：数字部分》锁存器**），如图所示，电路只有两个输入端：数据输入D和使能输出E。

当E = 0时，无论D怎么变化，输出Q和Q`都保持不变（逻辑与相当于乘法）

当E = 1时，Q的状态将随着D的变化（经过逻辑运算），即D=Q

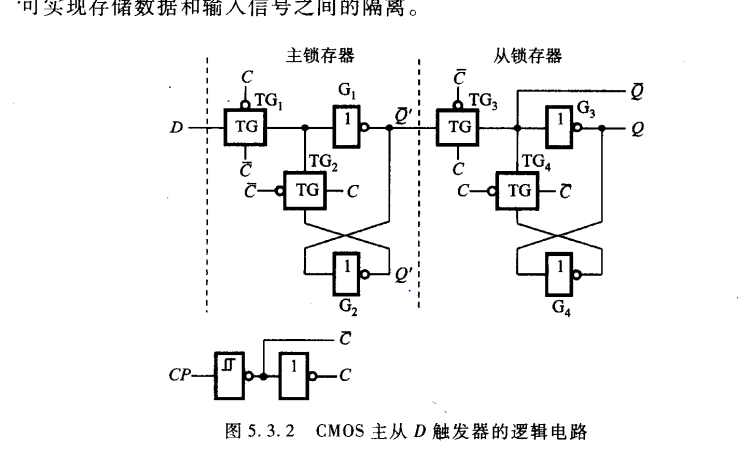


所以，D锁存器是一个对脉冲电平敏感的锁存器，只有使能端E=1时，即逻辑高电平，输入才会影响到输出的值。

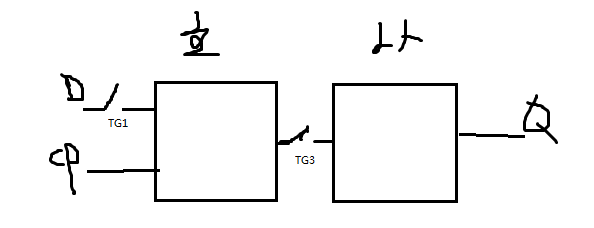
5、触发器

触发：在时钟脉冲边沿作用（上升或者下降）下的状态刷新成为触发，具有这种特性的存储单元电路称为触发器。

主从触发器（上升触发）：将两个D锁存器级联，则构成CMOS主从触发器。逻辑电路图如下。



上图简化：



假设，时钟CP为0，则开关TG1导通，TG3截止，数据D锁存在主锁存器上；当CP跳变到1时，TG1截止，TG3导通，Q=D。

即只有时钟从0->1（上升沿）跳变时，整个电路的输出Q才会变化，其余时刻保持不变。

换言之，除了上升沿，其余时刻输入的数据D保持在主锁存器中，当在上升沿时，数据输入断开，主与从锁存器相连，输出端Q的值等于D。

所以，主从触发器是一个对脉冲边沿敏感的存储单元电路。

6、寄存器

在时钟CP上升沿，数据D0-D7被锁存在触发器中；当数据输出使能OE打开时，输出Q0-Q7就会等于相应的内部触发器状态。

